

# ビット線容量の測定について

住友金属工業(株)

住友金属テクノロジー(株)

# 課題：ビット線容量の測定

## 従来方法

メモリセルアレイのビット線をショートしたpFオーダーの容量TEG測定  
実測での容量成分の分離解析不可  
2次元、3次元シミュレーターで算出

## 当社容量計CS8800を使用

実際の本物のビット線容量を測定可能

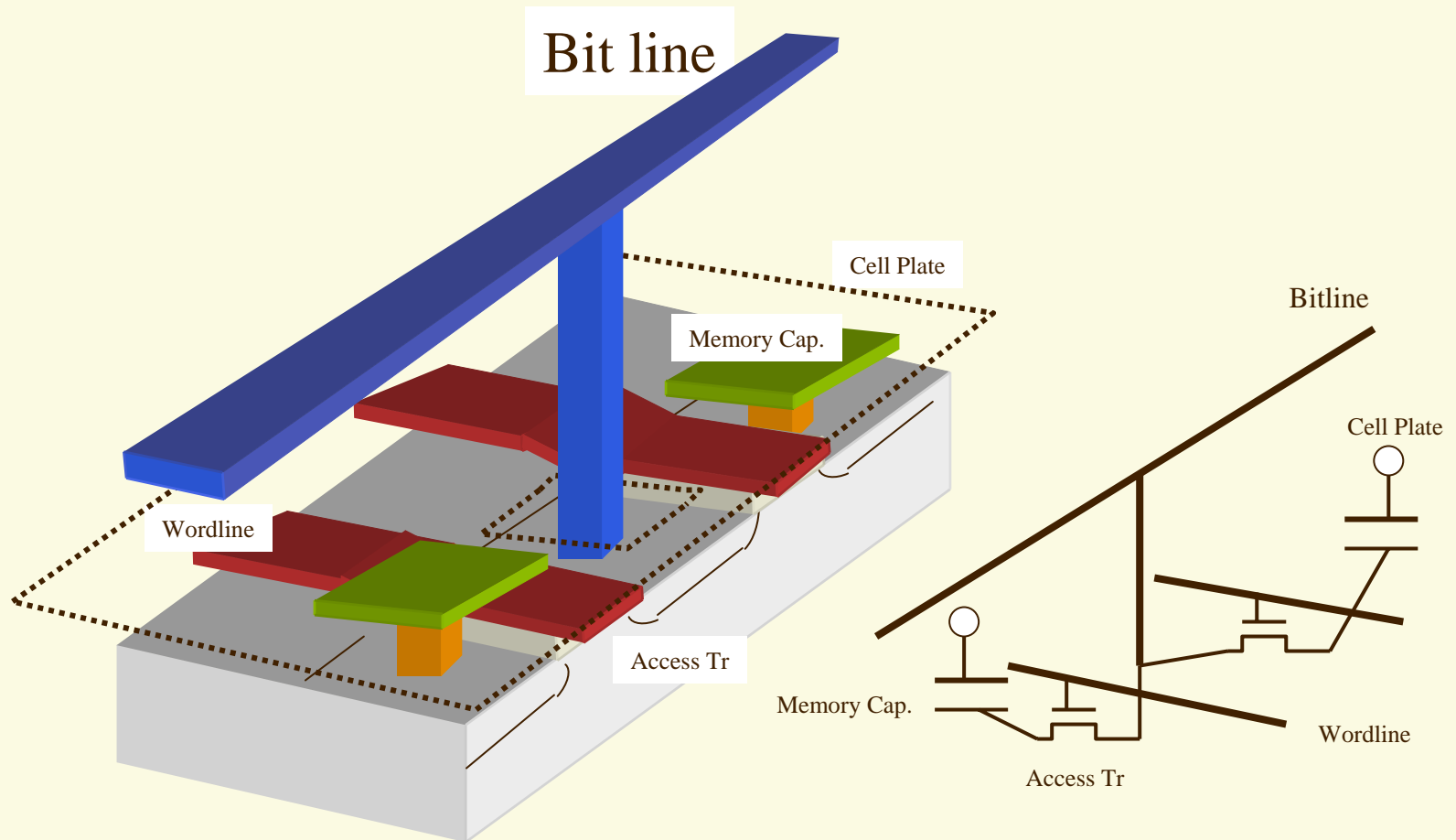
測定対象を選択できる

(Guard端子に接続したものは測定対象から除去)

(ビット線容量を配線間容量、接合容量等に分離解析可能)

更に高精度なメモリアレイ設計・センスアンプ設計が可能

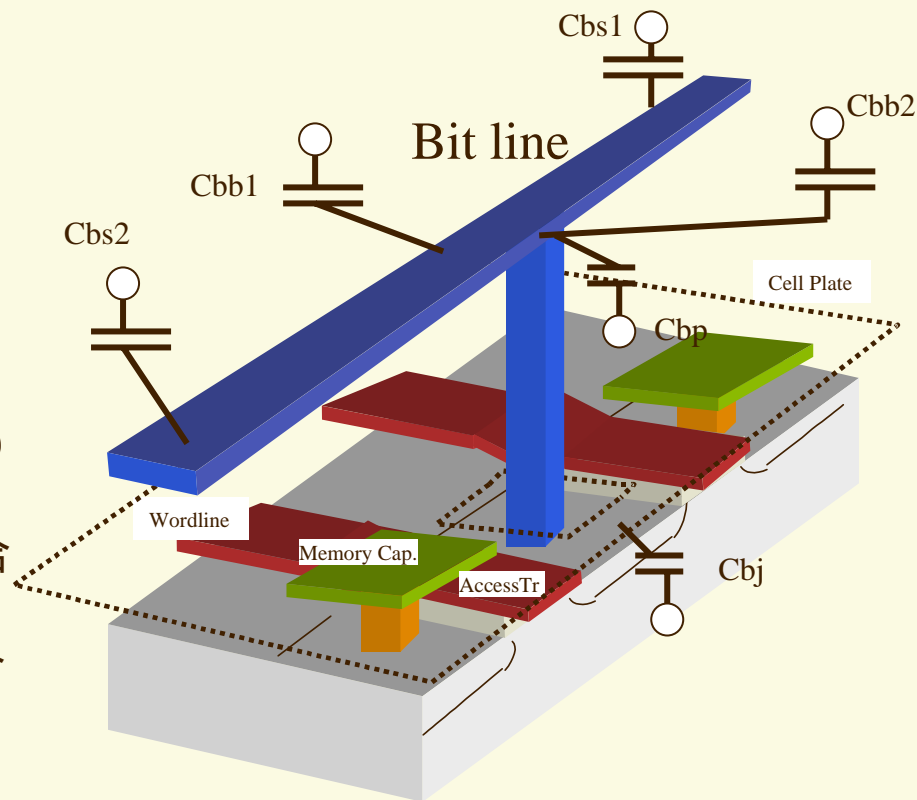
# ビット線の構造(例)と等価回路



# ビット線の容量

## 想定されるビット線容量

- ビット線-隣接ビット線容量 (Cbb1, Cbb2)
- ビット線-セルプレート容量(Cbp)
- ビット線-ワード線容量(Cbw)
- ビット線-基板容量(Cbg)
- ビット線-アクセスTr接合容量(Cbj) (対Pwell容量)
- ビット線-センスアンプ側SWTr接合容量(Cbs1)
- ビット線-プリチャージ側SWTr接合容量(Cbs2)



## 紹介例でのビット線容量(CB)

$$CB = Cbb1 + Cbb2 + Cbp + Cbj + Cbs1 + Cbs2$$

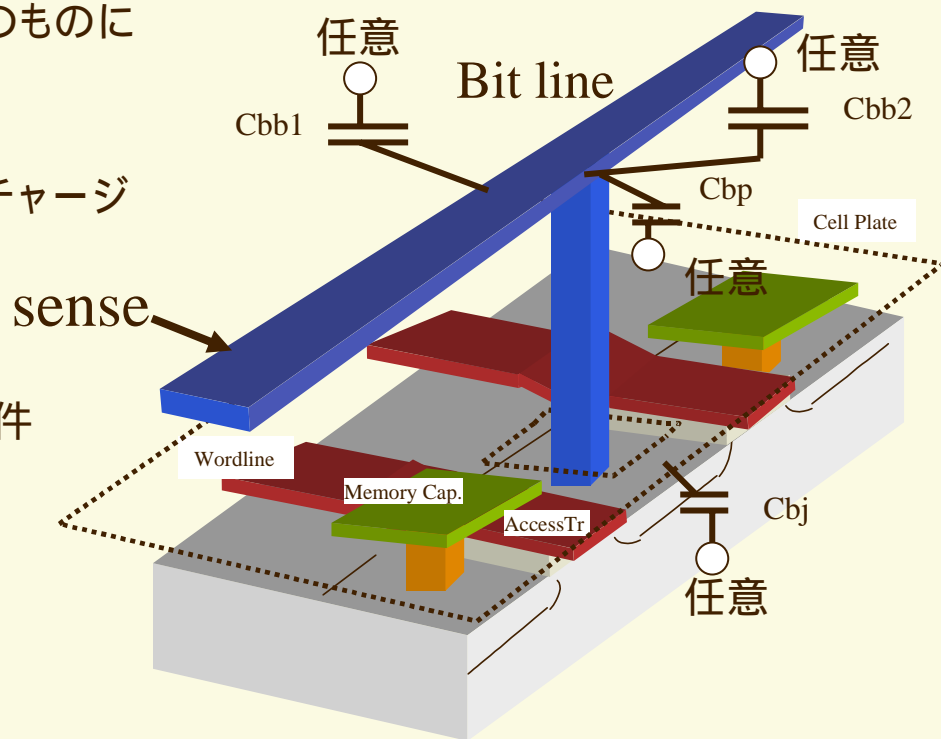
# ビット線容量の測定(推定)

## ビット線容量測定条件

- ビット線測定パッドがビット線そのものにある場合
- 上記配線容量が無視できる
- ビット線のセンスアンプ側、プリチャージ側SWTrがOFF
- アクセスTrがOFF

## 全ビット線容量測定のバイアス条件

- 対象ビット線: sense端子
- 隣接ビット線: 任意電圧
- セルプレート: 任意電圧
- Pwell : 任意電圧 (接合逆バイアス)
- $CB = Cbb1 + Cbb2 + Cbp + Cbj + Cbs1 + Cbs2$





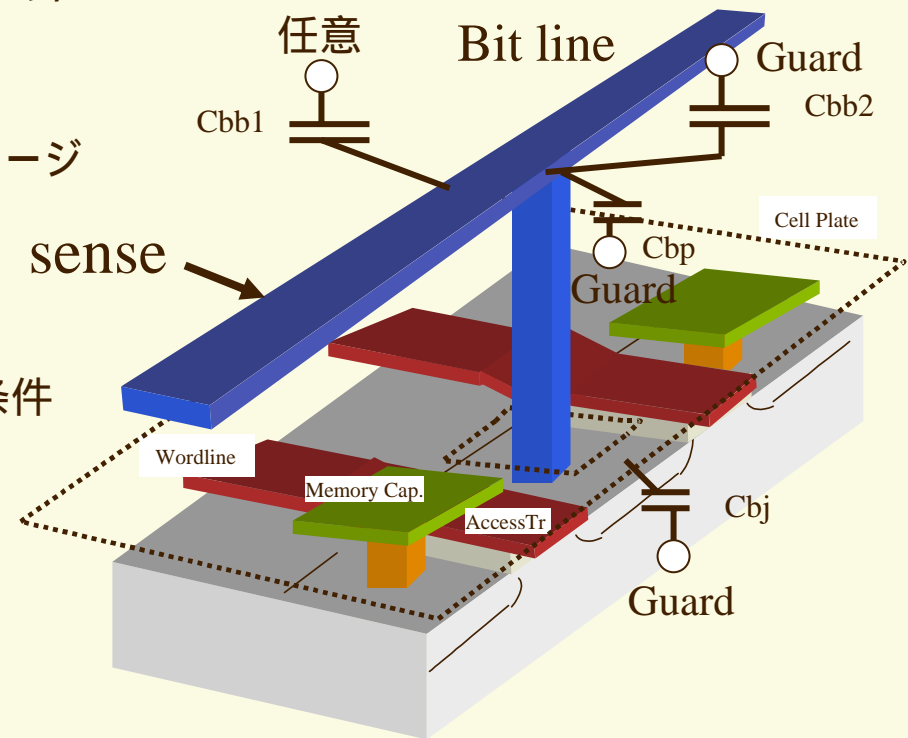
# ビット線容量の測定(推定)

## ビット線容量測定条件

- ▶ ビット線測定パッドがビット線そのものにある場合
- ▶ 上記配線容量が無視できる
- ▶ ビット線のセンスアンプ側、プリチャージ側SWTrがOFF
- ▶ アクセスTrがOFF

## 更にCbb2を除いた場合のバイアス条件

- ▶ 対象ビット線 : sense端子
- ▶ 隣接ビット線1: 任意電圧
- ▶ 隣接ビット線2: Guard端子
- ▶ セルプレート : Guard端子
- ▶ Pwell : Guard端子
- ▶  $CB = Cbb1 + Cbs1 + Cbs2$



# ビット線容量測定ご提案

